

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003731

International filing date: 04 March 2005 (04.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-115470
Filing date: 09 April 2004 (09.04.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

07. 3. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 4 月 9 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 1 5 4 7 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

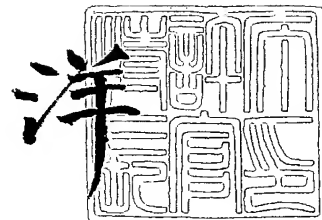
J P 2 0 0 4 - 1 1 5 4 7 0

出 願 人
Applicant(s): 富士電機ホールディングス株式会社

2 0 0 5 年 4 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 04P00175
【提出日】 平成16年 4月 9日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/316
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 荻野 正明
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 須ヶ原 紀之
【特許出願人】
 【識別番号】 000005234
 【氏名又は名称】 富士電機ホールディングス株式会社
【代理人】
 【識別番号】 100092152
 【弁理士】
 【氏名又は名称】 服部 毅巖
 【電話番号】 0426-45-6644
【手数料の表示】
 【予納台帳番号】 009874
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9607796

【書類名】 特許請求の範囲**【請求項 1】**

トレンチゲート構造を有する半導体装置の製造方法において、
半導体基板に形成されたトレンチの内壁に化学気相成長法によって酸化膜を形成した後、熱酸化法によって前記酸化膜と前記半導体基板との界面に熱酸化膜を形成し、前記トレンチ内に前記酸化膜と前記熱酸化膜とを有するゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記酸化膜は、減圧化学気相成長法によって形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記酸化膜は、ジクロロシランと亜酸化窒素とを含むガスまたはモノシランと亜酸化窒素とを含むガスを原料に用いて形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記酸化膜は、最終的に形成される前記ゲート絶縁膜の膜厚の略 50%～略 90%の膜厚となるよう形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記ゲート絶縁膜を形成する工程の後に、窒素雰囲気でのアニール処理を行う工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記アニール処理は、温度略 850℃～略 1000℃で行われることを特徴とする請求項 5 記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0 0 0 1】

本発明は半導体装置の製造方法に関し、特に半導体基板のトレンチに電流経路を形成したトレンチゲート構造の半導体装置の製造方法に関する。

【背景技術】

【0 0 0 2】

図 3 はプレーナゲート構造の半導体装置の断面図の一例である。

この図 3 に示す半導体装置は、いわゆる横型 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) である。この M I S F E T 1 0 0 には、 p^- 型半導体基板 1 0 1 の表面層に p 型ベース領域 1 0 2 と n^+ 型ドレイン領域 1 0 3 が形成されており、 p 型ベース領域 1 0 2 内に形成された p^+ 型ソース領域 1 0 4 と n^+ 型ソース領域 1 0 5 上にはソース電極 1 0 6 が、 n^+ 型ドレイン領域 1 0 3 上にはドレイン電極 1 0 7 が、それぞれ形成されている。ソース電極 1 0 6 とドレイン電極 1 0 7 の間にはゲート絶縁膜 1 0 8 が形成され、その上にゲート電極 1 0 9 が形成されている。

【0 0 0 3】

この M I S F E T 1 0 0 では、 p 型ベース領域 1 0 2 と n^+ 型ドレイン領域 1 0 3 の間に n^- 型拡張ドレイン 1 1 0 が形成されている。この n^- 型拡張ドレイン 1 1 0 によって、 n^+ 型ソース領域 1 0 5 と n^+ 型ドレイン領域 1 0 3 の間の電界が緩和され、高耐圧化が図られる。

【0 0 0 4】

M I S F E T 1 0 0 は、大きく、ソース領域（領域長 L_1 ）、チャネル領域（領域長 L_2 ）、拡張ドレイン領域（領域長 L_3 ）およびドレイン領域（領域長 L_4 ）によって構成され、そのデバイスピッチは各領域長の総和（ $L_1 + L_2 + L_3 + L_4$ ）で決まる。このデバイスピッチが小さいほど、デバイスの集積度が上がり、また、そのオン抵抗を低下させることができるようになる。

【0 0 0 5】

しかしながら、デバイスの高耐圧化を図る場合、耐圧には拡張ドレイン領域の寄与が大きく、その領域長 L_3 が大きくなるほど高耐圧になるため、高耐圧化を図ればデバイスピッチが増加し、集積度と耐圧はトレードオフの関係にあった。

【0 0 0 6】

そこで、近年では、拡張ドレイン領域を半導体基板のトレンチ部分に形成して集積度向上と耐圧向上を同時に実現する T L P M (Trench Lateral Power MISFET) も提案されている。

【0 0 0 7】

図 4 は T L P M の一例の部分断面図である。

この図 4 に示す T L P M 2 0 0 の p^- 型半導体基板 2 0 1 には、トレンチ 2 0 2 が形成されており、このトレンチ 2 0 2 の側方には n 型拡張ドレイン 2 0 3 が形成され、その下方には p 型ベース領域 2 0 4 が形成されている。また、トレンチ 2 0 2 には、その側壁にゲート絶縁膜 2 0 5 が形成されており、その内側に多結晶シリコンからなるゲート電極 2 0 6 が形成されている。トレンチ 2 0 2 には、ゲート電極 2 0 6 の更に内側に第 1 の絶縁膜 2 0 7 が形成されており、この第 1 の絶縁膜 2 0 7 を介してソース電極 2 0 8 が形成されている。ソース電極 2 0 8 は、トレンチ 2 0 2 の底部において、 p 型ベース領域 2 0 4 内に形成された n^+ 型ソース領域 2 0 9 に接続されている。

【0 0 0 8】

トレンチ部分を除く p^- 型半導体基板 2 0 1 の表面には、第 2 の絶縁膜 2 1 0 が形成されており、トレンチ部分に形成した第 1 の絶縁膜 2 0 7 は、この第 2 の絶縁膜 2 1 0 上にまで延びて形成されている。ドレイン電極 2 1 1 は、これら第 1、第 2 の絶縁膜 2 0 7、2 1 0 を貫通して n 型拡張ドレイン 2 0 3 に接続されている。

【0009】

このようなトレンチゲート構造を形成することにより、トレンチ部分に電流経路を形成しつつデバイスピッチを縮小し、それによって高集積化と高耐圧化を共に図ることができるようになる。

【0010】

ところで、上記構造を有するMISFETをはじめとする各種半導体装置のゲート絶縁膜は、主に熱酸化法や化学気相成長 (Chemical Vapor Deposition, CVD) 法により形成される。従来、ゲート絶縁膜の形成に関しては、熱酸化法、CVD法のいずれかを用いて行う方法のほか、熱酸化法とCVD法を組み合わせる方法等も提案されている。

【0011】

組み合わせて行う方法としては、例えば、プレーナ型半導体装置の製造に関し、熱酸化後にCVDを行うあるいはCVD後に熱酸化を行うことにより、半導体基板とCVD膜の間に熱酸化膜を形成して基板上にゲート絶縁膜を構成する方法が提案されている (例えば特許文献1, 2参照)。また、トレンチ型半導体装置の製造に関しては、半導体基板にトレンチを形成して熱酸化後にCVDを行い、それにアニール処理を行ってトレンチ内にゲート絶縁膜を形成する方法が提案されている (特許文献3参照)。

【特許文献1】特開昭62-216370号公報 (第2頁、第1図)

【特許文献2】特開平6-140627号公報 (段落番号[0012]～[0013]、[0018]、図3)

【特許文献3】特開2001-85686号公報 (段落番号[0010]～[0011]、図1)

【発明の開示】

【発明が解決しようとする課題】

【0012】

トレンチゲート構造は、プレーナゲート構造でトレードオフにあった高集積化と高耐圧化を両立することが可能である。しかし、トレンチは半導体基板をエッチングして形成され、その内壁には半導体基板の様々な面方位が現れる。そのため、ゲート絶縁膜を熱酸化によって形成すると、その面方位の違いによって、その酸化膜にどうしても厚い部分と薄い部分ができってしまうようになる。特にトレンチ上部の角部は、酸化膜の粘性流動が起こるような高温酸化を行っても、酸化による体積膨張と3次元的な構造による応力の作用により、酸化膜厚が薄くなってしまふ。酸化膜厚がこのように薄くなった部分を有している半導体装置では、動作時にその部分に電界の集中が起こり易く、その結果、耐圧が低下するといった問題が生じ得る。

【0013】

また、ゲート絶縁膜のトータルの膜厚が所定値を超えない範囲内で、このような凹凸の残る熱酸化膜上に更にCVD膜を形成して膜厚の均一化を図ろうとすることも考えられるが、それでもなお十分に均一化が行われず同様に電界集中、耐圧低下が発生してしまう場合がある。

【0014】

本発明はこのような点に鑑みてなされたものであり、トレンチ内に膜厚の均一性が良く信頼性の高いゲート絶縁膜を形成したトレンチゲート構造を有する半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明では上記問題を解決するために、トレンチゲート構造を有する半導体装置の製造方法において、半導体基板に形成されたトレンチの内壁にCVD法によって酸化膜を形成した後に、熱酸化法によって前記酸化膜と前記半導体基板との界面に熱酸化膜を形成し、前記トレンチ内に前記酸化膜と前記熱酸化膜とを有するゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法が提供される。

【0016】

このような半導体装置の製造方法によれば、まず、半導体基板のトレンチ内壁にCVD法、例えばカバレッジ特性の良い減圧CVD法によって、均一性良く酸化膜を形成し、その後、熱酸化処理を行い、CVD法で形成された酸化膜を介して酸素を半導体基板表面に供給して、その界面に熱酸化膜を形成する。これにより、局所的に薄膜化されていない、膜厚の均一性が良好なゲート絶縁膜をトレンチ内に形成することができる。また、CVD法による酸化膜と半導体基板との界面に熱酸化膜を形成することで、界面準位密度の低い安定した界面が得られるようになる。

【発明の効果】

【0017】

本発明の半導体装置の製造方法は、半導体基板のトレンチ内壁にゲート絶縁膜を形成する際に、先にCVD法で酸化膜を形成し、その後にその酸化膜と半導体基板との間に熱酸化法で熱酸化膜を形成するようにした。これにより、トレンチ内に形成されるゲート絶縁膜の局所的な薄膜化が抑えられ、耐圧低下がなく界面準位の低い高品質のゲート絶縁膜を形成することができ、その信頼性を向上させることができる。また、それによって高品質かつ高信頼性のトレンチゲート構造の半導体装置を実現することが可能になる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

まず、ゲート絶縁膜の信頼性評価に用いたトレンチゲート構造のMOSキャパシタの形成方法について説明する。

【0019】

MOSキャパシタの形成では、まずSi基板上にエッチングでトレンチを形成し、Si基板（トレンチ表面）に残ったダメージを除去するために犠牲酸化を行った後、素子分離（Local Oxidation of Silicon, LOCOS）を形成する。このときトレンチは、例えば幅 $2.6\mu\text{m}$ 、深さ $2\mu\text{m}$ となるようにする。

【0020】

次いで、ジクロロシラン（ SiH_2Cl_2 ）と亜酸化窒素（ N_2O ）を原料ガスとする減圧CVD法によって高温酸化膜（High Temperature Oxide, HTO）を膜厚 13nm で形成する。その際、形成条件は、例えば、ジクロロシランと亜酸化窒素のガス流量をそれぞれ 150ml/min （ 0°C , 101.3kPa ）と 75ml/min （ 0°C , 101.3kPa ）とし（以下、この条件下でのこの流量単位を「sccm」と記す。）、成膜温度を 800°C 、圧力を 60Pa とする。

【0021】

ジクロロシランと亜酸化窒素の流量比は $1:5\sim 1:0.3$ 程度の広い範囲で可変であるが、通常はジクロロシランの流量比が高いほど成膜速度は大きくなる。そのため、例えば、最終的に形成されるゲート絶縁膜の膜厚（「最終膜厚」という。）が 100nm と厚く、膜厚の厚いHTOの形成が必要である場合には、ジクロロシランと亜酸化窒素の流量比を $1:0.3$ とすれば効率的に厚いHTOを形成することができる。

【0022】

ここでは、トレンチにまずHTOを 13nm の膜厚で形成し、その後に熱酸化処理を行ってゲート絶縁膜を形成するが、その最終膜厚が 17nm になるようにする。そのため、形成すべきHTOの膜厚は比較的薄く、ジクロロシランと亜酸化窒素の流量比を $2:1$ としている。しかし、このときの成膜時間は20分程度であるため、ジクロロシランの流量比をもう少し減らしてもスループットが低下することはほとんどなく、例えばジクロロシランと亜酸化窒素の流量比を $1:2$ としても何ら構わない。

【0023】

次いで、熱処理炉において温度約 800°C 、パイロ雰囲気中で熱酸化処理を行う。この熱酸化処理で酸素は、先に形成されているHTOを通してSi基板表面に供給され、それによってHTOとSi基板の界面に熱酸化膜が形成される。この熱酸化処理の際には、HTOと熱酸化膜で形成されるゲート絶縁膜の最終膜厚が 17nm となるよう、熱酸化時間

を調整する。熱酸化処理後、引き続き同じ熱処理炉を使用して、窒素雰囲気中で約 1 0 0 0 °C まで昇温しこの温度で 1 0 分間、アニール処理を行う。

【0 0 2 4】

最後に、ゲート電極となるポリシリコンを減圧 C V D 法によって形成し、フォトリソグラフィ技術によってゲート電極を形成する。その後、層間絶縁膜の形成等を行い、更に A 1 配線の形成まで行って、M O S キャパシタを形成する（サンプル A）。このとき、M O S キャパシタのゲート面積は 0 . 2 5 m m ² である。

【0 0 2 5】

次に、このようにしてトレンチゲート構造の M O S キャパシタを形成したトレンチゲートサンプル（サンプル A）の定電流 T D D B（Time Dependent Dielectric Breakdown）特性の評価について説明する。

【0 0 2 6】

なお、ここでは比較のため、S i 基板のトレンチに熱酸化膜のみで最終膜厚 1 7 n m のゲート絶縁膜を形成したサンプル B、トレンチに減圧 C V D 法で膜厚 1 0 n m の H T O を形成した後に熱酸化処理およびアニール処理を行って最終膜厚 1 7 n m のゲート絶縁膜を形成したサンプル C についても、定電流 T D D B 特性試験を行っている。なお、各サンプル A、B、C は、ゲート絶縁膜を除くその他の各構成要素および形成条件等は同じにしている。

【0 0 2 7】

図 1 はトレンチゲートサンプルの定電流 T D D B 特性の評価結果である。

この図 1 において、横軸は酸化膜破壊電荷 Q b d（C / c m ²）、縦軸は累積故障率 F（%）をそれぞれ示している。また、この定電流 T D D B 特性試験では、トレンチゲート構造を有する各サンプル A、B、C にそれぞれ、1 枚のウエハにつき 2 0 個の M O S キャパシタが形成されているものを用い、ストレス電流密度 0 . 1 A / c m ²、ゲート負バイアスの条件で試験を行っている。

【0 0 2 8】

図 1 より、累積故障率 F が 5 0 % になるときの酸化膜破壊電荷 Q b d を 5 0 % Q b d とすると、各サンプル A、B、C の 5 0 % Q b d は次の表 1 に示すようになる。

【0 0 2 9】

【表 1】

	50%Qbd (C/cm ²)
サンプル A (HTO(13nm)形成→熱酸化・アニール処理)	4.54
サンプル B (熱酸化)	0.48
サンプル C (HTO(10nm)形成→熱酸化・アニール処理)	1.43

（各サンプルのゲート絶縁膜の最終膜厚は 17nm）

【0 0 3 0】

この表 1 に示したように、サンプル A では 5 0 % Q b d が 4 . 5 4 C / c m ² であるのに対し、サンプル B では 0 . 4 8 C / c m ²、サンプル C では 1 . 4 3 C / c m ² となる。この表 1 の結果より、膜厚 1 3 n m の H T O 形成後に熱酸化処理とアニール処理を行ってゲート絶縁膜を形成したサンプル A は、熱酸化のみで形成したサンプル B に比べ、ゲート絶縁膜の寿命が約 1 0 倍長くなる。

【0 0 3 1】

また、膜厚 1 0 n m の H T O 形成後に熱酸化処理とアニール処理を行ってゲート絶縁膜

を形成したサンプルCは、HTOを膜厚13nmで形成したサンプルAよりはゲート絶縁膜の寿命が短くなるものの、熱酸化のみのサンプルBに比べればゲート絶縁膜の寿命は約3倍長くなる。

【0032】

次に、酸化膜の形成方法の違いが界面準位密度(Dit)に及ぼす影響について説明する。

酸化膜形成方法の異なる各サンプルの界面準位密度を測定するため、ここでは、ジクロロシランと亜酸化窒素を原料ガスとする減圧CVD法によってベアSiウエハにHTOを形成したサンプルD、サンプルDのHTO形成後更に熱酸化処理を行ってSiO₂/Si界面に熱酸化膜を形成したサンプルEについて、水銀プローブによるCV測定を行っている。さらに、サンプルD形成時のジクロロシランをモノシランに代えてベアSiウエハにHTOを形成したサンプルF、サンプルFのHTO形成後更に熱酸化処理を行ってSiO₂/Si界面に熱酸化膜を形成したサンプルGについても、同じくCV測定を行っている。なお、各サンプルD、E、F、Gの酸化膜の最終膜厚は、ここでは17nmとしている。

【0033】

これらの各サンプルD、E、F、GについてCV測定により得られる界面準位密度(eV/cm²)は次の表2に示すようになる。

【0034】

【表2】

	界面準位密度Dit (eV/cm ²)
サンプルD (ジクロロシラン減圧CVD)	3.3×10 ¹¹
サンプルE (ジクロロシラン減圧CVD→熱酸化処理)	2.6×10 ¹¹
サンプルF (モノシラン減圧CVD)	6.6×10 ¹¹
サンプルG (モノシラン減圧CVD→熱酸化処理)	2.5×10 ¹¹

(各サンプルの酸化膜の最終膜厚は17nm)

【0035】

この表2に示したように、サンプルDの界面準位密度が3.3×10¹¹eV/cm²であるのに対し、熱酸化膜を形成したサンプルEの界面準位密度は2.6×10¹¹eV/cm²となり、HTO形成後にSiO₂/Si界面に熱酸化膜を形成することによって界面準位密度が低下するようになる。

【0036】

また、サンプルFの界面準位密度が6.6×10¹¹eV/cm²であるのに対し、熱酸化膜を形成したサンプルGの界面準位密度は2.5×10¹¹eV/cm²となり、HTOの形成にジクロロシランに代えてモノシランを用いても同様に界面準位密度の低下が認められ、その値はジクロロシランを用いたときとほぼ同じである。

【0037】

このことから、減圧CVD法でHTOを形成した後に熱酸化処理を行ってゲート絶縁膜を形成する場合には、原料ガスにジクロロシラン系ガスとモノシラン系ガスのいずれを用いても構わず、いずれによっても同等の低い界面準位密度を実現することができるということができる。

【0038】

次に、界面準位密度がゲート絶縁膜の寿命に及ぼす影響について説明する。

そこでここではまずSi基板を用いてプレーナゲート構造のMOSキャパシタを形成し、このプレーナゲートサンプルについて定電流TDD B特性試験を行い、ゲート絶縁膜の寿命の評価を行っている。

【0039】

ここで用いるプレーナゲートサンプルは、上記のサンプルAの形成方法と同様の手順で形成する。ここではトレンチが形成されていないSi基板にゲート絶縁膜を、熱酸化膜のみで形成したサンプルH、HTOのみで形成したサンプルI、膜厚13nmのHTO形成後に熱酸化処理とアニール処理を行って形成したサンプルJ、膜厚10nmのHTO形成後に熱酸化処理とアニール処理を行って形成したサンプルKを用いて定電流TDD B特性試験を行っている。なお、各サンプルH、I、J、Kのゲート絶縁膜の最終膜厚は17nmとなるようにしており、サンプルH、Iではこの最終膜厚となるようにそれぞれ熱酸化膜、HTOを形成し、また、サンプルJ、Kではこの最終膜厚となるようにHTO形成後の熱酸化処理時間を調整している。

【0040】

図2はプレーナゲートサンプルの定電流TDD B特性の評価結果である。

この図2において、横軸は酸化膜破壊電荷 Q_{bd} (C/cm^2)、縦軸は累積故障率F (%)をそれぞれ示している。また、この定電流TDD B特性試験では、各サンプルH、I、J、Kにそれぞれ、1枚のウエハにつき40個のMOSキャパシタが形成されているものを用い、ストレス電流密度 $0.1 A/cm^2$ 、ゲート負バイアスの条件で試験を行っている。図2より、各サンプルH、I、J、Kの50% Q_{bd} は次の表3に示すようになる。

【0041】

【表3】

	50% Q_{bd} (C/cm^2)
サンプルH (熱酸化)	28.8
サンプルI (HTO形成)	7.3
サンプルJ (HTO(13nm)形成→熱酸化・アニール処理)	17.4
サンプルK (HTO(10nm)形成→熱酸化・アニール処理)	17.4

(各サンプルのゲート絶縁膜の最終膜厚は17nm)

【0042】

この表3に示したように、プレーナゲートサンプルの場合、熱酸化膜のみでゲート絶縁膜を形成したサンプルHの50% Q_{bd} が最も大きく ($28.8 C/cm^2$)、ゲート絶縁膜の寿命が最も長くなる。一方、HTOのみでゲート絶縁膜を形成したサンプルIの50% Q_{bd} は低いが ($7.3 C/cm^2$)、HTOをそれぞれ所定の膜厚で形成した後に熱酸化を行ったサンプルJ、Kは50% Q_{bd} が高くなり (共に $17.4 C/cm^2$)、熱酸化のみのサンプルHには及ばないものの、ゲート絶縁膜の寿命がHTO形成のみのサンプルIの2倍以上になる。

【0043】

このように SiO_2/Si 界面に熱酸化膜を形成すると、その界面準位密度が低下して安定した界面が得られるようになるとともに、ゲート絶縁膜の寿命を大幅に延ばすことが可能になるということが出来る。上記CV測定結果と同様に考えれば、熱酸化膜を形成し

たことでサンプル J はサンプル I よりもその界面準位密度が低くなっており、界面準位密度の低減はゲート絶縁膜の長寿命化に大きく寄与するといえることができる。

【0044】

H T O と熱酸化膜で構成されるゲート絶縁膜については、それがプレーナゲート構造である場合（サンプル J, K）には熱酸化膜のみのゲート絶縁膜（サンプル H）よりもその寿命が短い、それがトレンチゲート構造である場合（サンプル A, C）には熱酸化膜のみのゲート絶縁膜（サンプル B）よりもその寿命が長くなる。

【0045】

このことから、トレンチゲート構造の場合には、熱酸化では S i 基板のトレンチ内壁の様々な面方位によって熱酸化膜の局所的な薄膜化が発生してゲート絶縁膜の寿命が短くなってしまうのに対し、H T O 形成では S i 基板の面方位依存性が抑えられて局所的な薄膜化が発生し難く、ゲート絶縁膜の寿命が長くなるものと考えられる。従来特に薄膜化が著しいトレンチコーナーでは、この効果が大きく寄与するものと推察される。

【0046】

したがって、トレンチゲート構造の半導体装置を製造する場合には、H T O の膜厚にも依るが、トレンチに熱酸化膜を形成した後に H T O を形成するよりも、トレンチに H T O を形成した後にこの H T O と S i 基板の界面に熱酸化膜を形成した方が、膜厚の均一性が良く、また信頼性の高いゲート絶縁膜を形成することができる。

【0047】

次に、ゲート絶縁膜を H T O と熱酸化膜で形成する場合における両者の体積比について説明する。

上記の表 3 にも示したように、これまでプレーナゲート構造の場合には、H T O の体積率が小さいほどゲート絶縁膜の寿命が長くなる傾向があることが別途確認されている。一方、トレンチゲート構造の場合には、次の表 4 に示すように、H T O の膜厚を一定値以下とすると却ってゲート絶縁膜の寿命が短くなっていく傾向がある。

【0048】

【表 4】

HTO体積率 (%)	HTO膜厚 (nm)	50%Qbd (C/cm ²)
95	16	4.23
76	13	4.54
59	10	1.43
41	7	0.65
0	0	0.48

(ゲート絶縁膜の最終膜厚は17nm)

【0049】

この表 4 に示したように、H T O と熱酸化膜のゲート絶縁膜の最終膜厚が 17 nm である場合、H T O が膜厚 13 nm（体積率 76 %）のときに 50 % Q b d は最も高く（4.54 C / c m²）、膜厚 16 nm（体積率 95 %）になると 50 % Q b d が若干低下するようになる（4.23 C / c m²）。逆に、膜厚 10 nm（体積率 59 %）、7 nm（体積率 41 %）、0 nm（体積率 0 %）と薄くする（体積率を減少させる）と、50 % Q b d も減少するようになる（それぞれ 1.43 C / c m²、0.65 C / c m²、0.48 C / c m²）。

【0050】

このような違いは、前述したような局所的な薄膜化が原因で生じるものと考えられる。すなわち、ゲート絶縁膜の最終膜厚が 17 nm と決まっていれば、熱酸化膜に先立って形成される H T O の膜厚が薄ければその分、その後に形成される熱酸化膜の膜厚分率が大き

くなることになる。その場合、酸化速度がSi基板の面方位依存性の影響をより強く受けるようになり、局所的、特にトレンチコーナーにおいて薄膜化が発生するようになる。このような薄膜化が発生する結果、デバイス動作時にはそのような部分に電界集中が発生し易くなり、ゲート絶縁膜の寿命が短くなってしまうようになる。

【0051】

表4より、ゲート絶縁膜の最終膜厚を17nmとした場合、HTOは膜厚10nm（体積率59%）以上で形成することが望ましい。それによってゲート絶縁膜の寿命を熱酸化のみで形成したときよりも3倍程度からそれ以上に延ばすことができるようになる。また、HTOのみでゲート絶縁膜を形成した場合には前述のような界面準位密度の影響を大きく受けるようになるので（表2、表3参照）、わずかに界面を熱酸化する程度で済むような体積率となる膜厚でHTOを形成することが好ましい。

【0052】

なお、ここではゲート絶縁膜の最終膜厚が17nmである場合について述べたが、これとは異なる最終膜厚のゲート絶縁膜を有するトレンチゲート構造の半導体装置の製造に適用する場合であっても、同様の体積率の範囲で同様の効果を得ることができる。実際には熱酸化による膜厚の制御性を考慮して、熱酸化膜に先立って形成されるHTOの体積率を、最終的に形成されるべきゲート絶縁膜のおよそ50%～95%の範囲に設定するようにすることが好ましい。

【0053】

次に、熱酸化処理およびアニール処理について説明する。

ジクロロシランを含む原料ガスを用いてHTOを形成した場合には、膜中に塩素および水素がそのまま残留することが知られている。HTOに残留する塩素や水素は、デバイス内で電子トラップとして作用し、ゲート絶縁膜の寿命を短くする要因の1つとなる。そこで、上記の約800℃での熱酸化処理、および窒素中、約1000℃で10分間のアニール処理を行ったときのHTO中の塩素濃度および水素濃度をSIMS（Secondary Ion Mass Spectroscopy）によって調査した。

【0054】

その結果、塩素濃度については、HTO形成直後では $2 \times 10^{21} / \text{cm}^3$ であったのに対し、これを熱酸化処理した後では検出限界以下にまで低下し、熱酸化処理によってHTO中から塩素をほとんど除去することができていることがわかった。また、HTO中の水素濃度については、HTO形成直後では $2 \times 10^{21} / \text{cm}^3$ であったのに対し、これを熱酸化処理すると $3 \times 10^{20} / \text{cm}^3$ に減少していた。さらに、これをアニール処理したものについてはその水素濃度が検出限界以下にまで低下し、アニール処理によってHTO中から水素をほとんど除去することができていることがわかった。

【0055】

このように熱酸化処理およびアニール処理を行うことで、まず熱酸化処理で塩素が、そして続くアニール処理によって水素が、それぞれHTO中からほとんど除去され、HTO中の電子トラップをほぼ消滅させることができるようになる。これにより、信頼性の高いゲート絶縁膜を形成することができ、デバイスの電気的特性の改善を図ることができるようになる。

【0056】

なお、トレンチゲート構造の半導体装置の製造プロセスにおいて、アニール処理は必ずしも実施することを要せず、HTO形成後に熱酸化処理のみ行ってゲート絶縁膜を形成することも可能である。これによっても一定の電子トラップ消滅効果は得ることは可能である。また、アニール温度は上記のように約1000℃であれば十分に効果が得られ、およそ850℃以上であれば膜中水素濃度低減について同様の効果を得ることができる。

【0057】

以上説明したように、本発明の半導体装置の製造方法によれば、トレンチ内での局所的なゲート絶縁膜の薄膜化を抑えることができるとともに、 SiO_2 / Si 界面を熱酸化による界面とすることで界面準位密度を低下させることができる。さらに、この熱酸化処理

とそれに続くアニール処理によってゲート絶縁膜中の塩素や水素等の電子トラップとなるような元素を除去することができる。このようにして形成されたゲート絶縁膜を T L P M をはじめとするトレンチゲート構造を有する各種半導体装置に適用すれば、耐圧等の電気的特性が向上し、非常に信頼性の高い半導体装置を製造することができる。なお、プレーナゲート構造の半導体装置にも適用は可能である。

【図面の簡単な説明】

【 0 0 5 8 】

【図 1】 トレンチゲートサンプルの定電流 T D D B 特性の評価結果である。

【図 2】 プレーナゲートサンプルの定電流 T D D B 特性の評価結果である。

【図 3】 プレーナゲート構造の半導体装置の断面図の一例である。

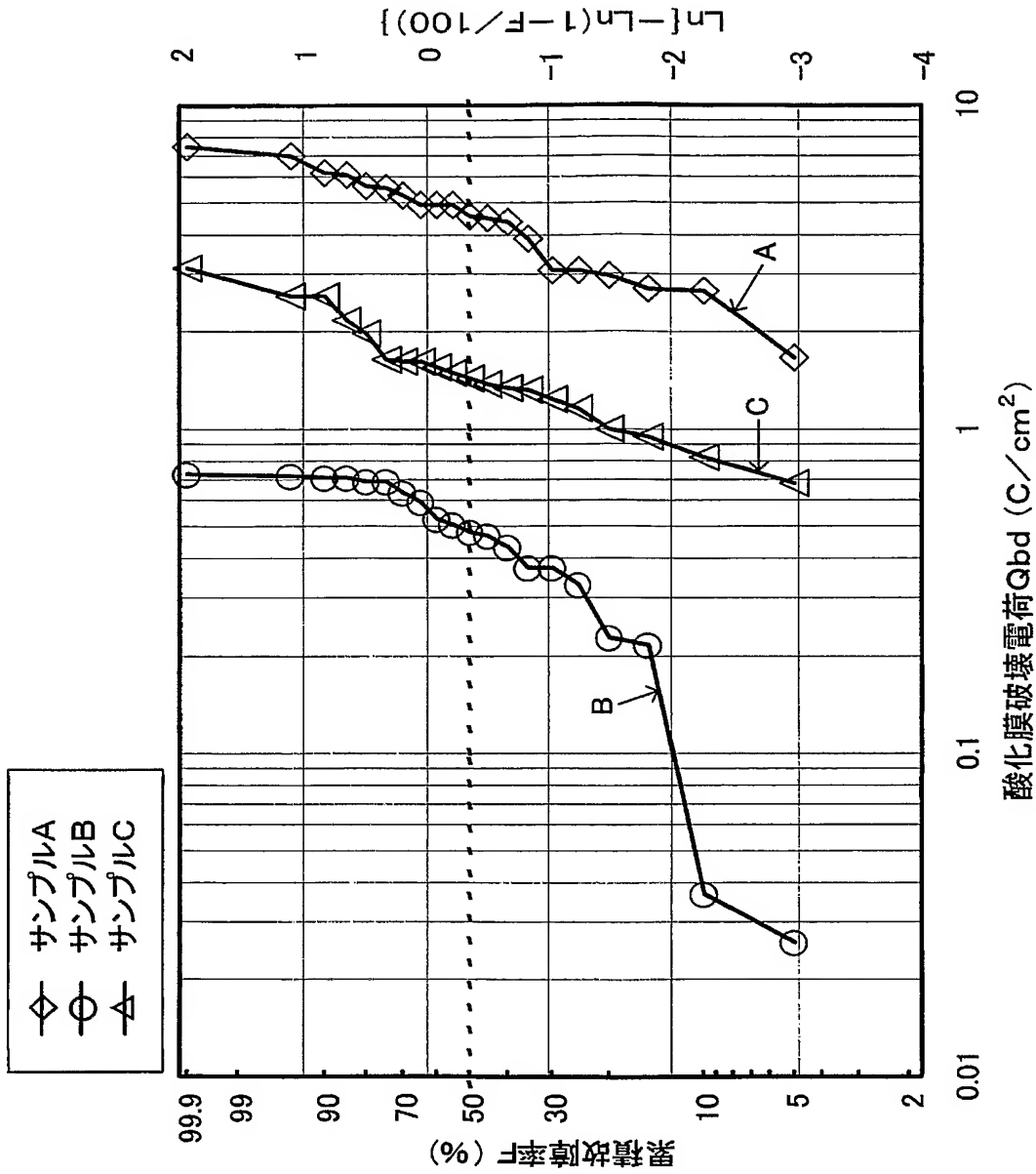
【図 4】 T L P M の一例の部分断面図である。

【符号の説明】

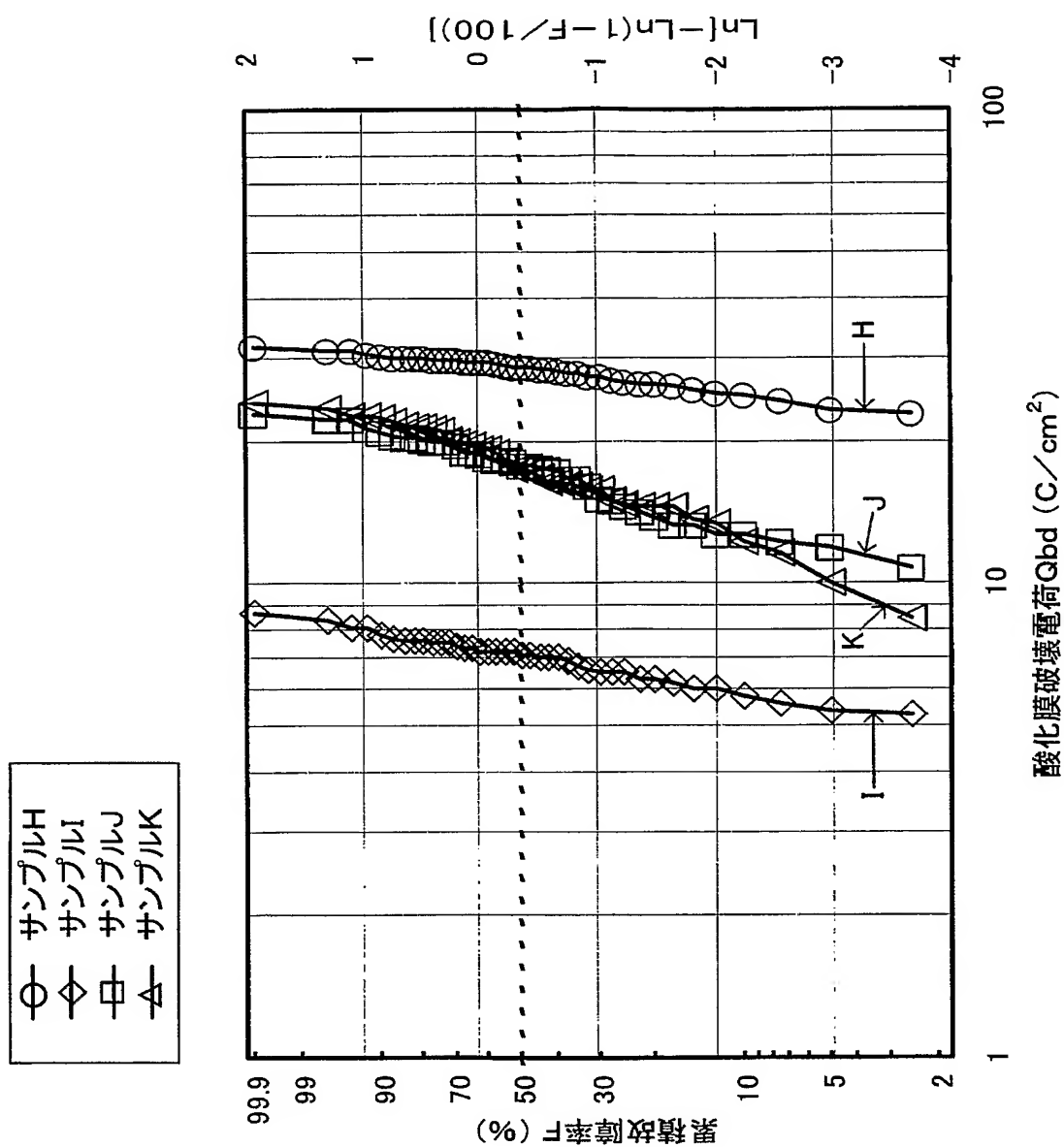
【 0 0 5 9 】

1 0 0 M I S F E T
1 0 1, 2 0 1 p⁻型半導体基板
1 0 2, 2 0 4 p 型ベース領域
1 0 3 n⁺型ドレイン領域
1 0 4 p⁺型ソース領域
1 0 5, 2 0 9 n⁺型ソース領域
1 0 6, 2 0 8 ソース電極
1 0 7, 2 1 1 ドレイン電極
1 0 8, 2 0 5 ゲート絶縁膜
1 0 9, 2 0 6 ゲート電極
1 1 0 n⁻型拡張ドレイン
2 0 0 T L P M
2 0 2 トレンチ
2 0 3 n 型拡張ドレイン
2 0 7 第 1 の絶縁膜
2 1 0 第 2 の絶縁膜

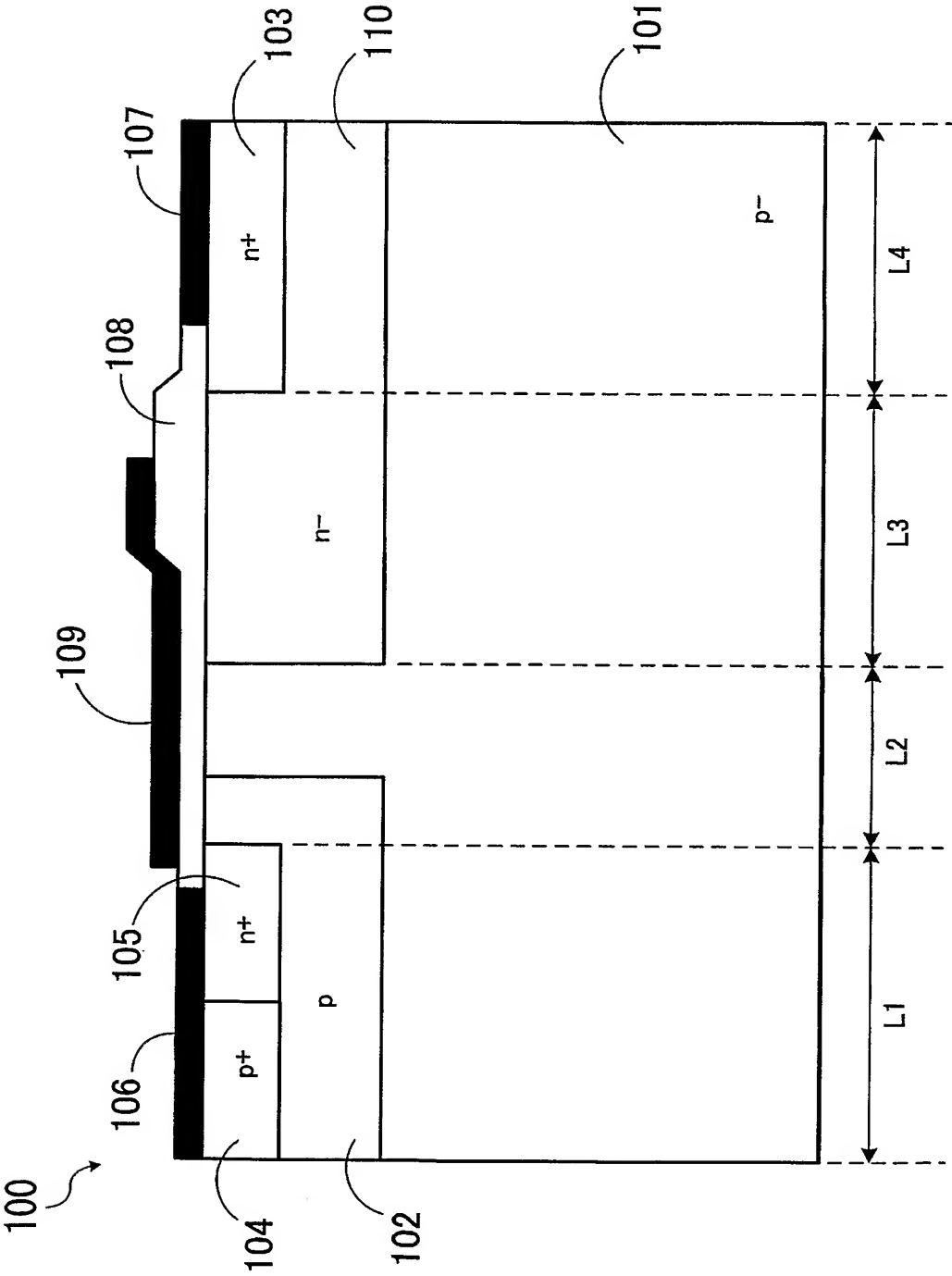
【書類名】 図面
【図 1】



【図2】



【図 3】



【書類名】 要約書

【要約】

【課題】 トレンチ内に膜厚の均一性の良いゲート絶縁膜を形成し、高耐圧・高信頼性の半導体装置を提供する。

【解決手段】 S i 基板のトレンチ内壁に減圧 C V D 法で H T O を形成し、その後、熱酸化処理を行って H T O と S i 基板の界面に熱酸化膜を形成する（サンプル A, C）。これにより、局所的に薄膜化が抑えられ、膜厚の均一性が良好で、かつ、界面準位密度の低いゲート絶縁膜をトレンチ内に形成することができる。熱酸化のみでゲート絶縁膜を形成したもの（サンプル B）に比べて寿命が大幅に長くなり、耐圧低下のない高品質・高信頼性のトレンチゲート構造の半導体装置を実現することが可能になる。

【選択図】 図 1

特願 2 0 0 4 - 1 1 5 4 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 3 4]

1. 変更年月日

2 0 0 3 年 1 0 月 2 日

[変更理由]

名称変更

住 所

神奈川県川崎市川崎区田辺新田 1 番 1 号

氏 名

富士電機ホールディングス株式会社